

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月16日

出 願 番 号

Application Number:

特願2000-246816

出 願 人

Applicant(s):

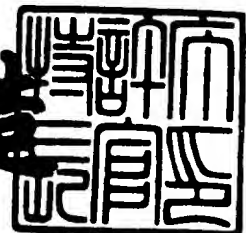
松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 5037920002

【提出日】 平成12年 8月16日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/41

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 橋本 幸吉

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デブロッキングフィルタ演算装置および演算処理方法

【特許請求の範囲】

【請求項 1】 M P E G - 4 に規定されるデブロッキングフィルタの D モード演算を行う D モード演算回路と、

T モード演算を行う T モード演算回路と、

ブロック境界近傍の画素値の変化度合いに応じて前記 D モード演算又は前記 T モード演算を行うかを適応的に判定する演算モード判定回路と、

前記演算モード判定回路の出力により前記 D モード演算回路および前記 T モード演算回路の何れか一方の出力を選択して出力するセレクトと、を備え、

前記 D モード演算回路、前記 T モード演算回路および前記演算モード判定回路が、順次入力される画素値の入力タイミングに同期して並列に動作することを特徴とするデブロッキングフィルタ演算装置。

【請求項 2】 前記演算モード判定回路が、前記 D モード演算回路および前記 T モード演算回路の処理より時系列的に先行して処理を実行し前記 D モード演算回路および前記 T モード演算回路から適応する演算回路を判別し、適応しない演算回路には、入力画素値に代えて固定値を入力することを特徴とする請求項 1 に記載のデブロッキングフィルタ演算装置。

【請求項 3】 前記 D モード演算回路が、入力画素値をシフトするシフトレジスタ群と、前記シフトレジスタ群において隣接するレジスタ間の差分絶対値を求める第 1 の差分絶対値演算回路と、前記第 1 の差分絶対値演算回路の出力と第 1 のしきい値との大小を比較する第 1 のコンパレータと、前記第 1 のコンパレータの出力に応じて前記シフトレジスタ群における特定のレジスタ出力を選択する第 1 のセレクトと、演算開始後のサイクル数をカウントするシーケンスカウンタと、前記シーケンスカウンタが示す特定のサイクルにおいて前記第 1 のセレクトの出力を保持する第 1 および第 2 のレジスタと、前記シーケンスカウンタが示すサイクルに応じて前記シフトレジスタ群中の特定のレジスタ出力と前記第 1 および第 2 のレジスタ出力とを切替えるセレクト群と、前記セレクト群の出力を左シフトする第 1 のシフト群と、前記セレクト群の出力と前記第 1 のシフト群の出力

とを加算する第 1 の加算器群と、前記第 1 の加算器群の出力を右シフトする第 1 のシフタと、前記シーケンスカウンタが示す特定のサイクル期間中における前記シフトレジスタ群中の特定のレジスタ出力の最大値および最小値を保持する第 3 および第 4 のレジスタと、前記第 3 および第 4 のレジスタの差分絶対値を求める第 2 の差分絶対値演算回路と、前記第 2 の差分絶対値演算回路の出力と第 2 のしきい値との大小を比較する第 2 のコンパレータと、前記第 2 のコンパレータの出力に応じて前記シフトレジスタ群中の特定のレジスタ出力と前記第 1 のシフタの出力とを切替える第 2 のセレクタと、を有し、

前記 T モード演算回路が、前記シフトレジスタ群中の特定のレジスタ出力を左シフトする第 2 のシフタ群と、前記シフトレジスタ群中の特定のレジスタ出力と前記第 2 のシフタ群の出力とを加算する第 2 の加算器群と、前記第 2 の加算器群の出力を右シフトする第 2 のシフタと、前記第 2 のシフタの出力と前記シフトレジスタ群中の特定のレジスタ出力とを加算する加算器と、前記第 2 のシフタの出力と前記シフトレジスタ群中の特定のレジスタ出力とを減算する減算器と、前記第 2 のシフタの出力の絶対値と第 3 のしきい値との大小を比較する第 3 のコンパレータと、前記第 3 のコンパレータの出力に応じて前記シフトレジスタ群中の特定のレジスタ出力、前記加算器の出力および前記減算器の出力を切替える第 3 のセレクタと、を有し、

前記演算モード判定回路が、前記シフトレジスタ群中において隣接するレジスタ間の差分絶対値を求める第 3 の差分絶対値演算回路と、前記第 3 の差分絶対値演算回路の出力と第 4 のしきい値との大小を比較する第 4 のコンパレータと、前記第 4 のコンパレータの出力を累積加算するカウンタと、前記カウンタの出力と第 5 のしきい値との大小を比較する第 5 のコンパレータと、を有し、

前記演算モード判定回路の出力に応じて前記 D モード演算回路の出力と前記 T モード演算回路の出力とを切替えて出力する第 4 のセレクタと、を含む請求項 1 に記載のデブロッキングフィルタ演算装置。

【請求項 4】 MPEG-4 に規定されるデブロッキングフィルタの D モード演算を行うステップと、

T モード演算を行うステップと、

ブロック境界近傍の画素値の変化度合いに応じて前記Dモード演算又は前記Tモード演算を行うかを適応的に判定するステップと、

前記演算モード判定回路の出力により前記Dモード演算回路および前記Tモード演算回路の何れか一方の出力を選択して出力するステップと、を有し、

前記Dモード演算、前記Tモード演算および前記演算モード判定を、順次入力される画素値の入力タイミングに同期して並列に動作することを特徴とするデブロッキングフィルタ演算処理方法。

【請求項5】 前記Dモード演算および前記Tモード演算より時系列的に先行して、前記Dモード演算および前記Tモード演算から適応する演算を判別し、適応しない演算には、入力画素値に代えて固定値を入力するステップを有する請求項4に記載のデブロッキングフィルタ演算処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル画像圧縮処理における復元画像の処理に係わり、特にMPEG-4に規定するデブロッキングフィルタ演算装置および方法に関する。

【0002】

【従来の技術】

デジタル画像圧縮に関する国際標準であるMPEG方式は離散コサイン変換を用いてデジタル画像の圧縮を行うが、量子化を行う非可逆変換であり、原画像の状況により、復元された画像に方式特有のブロック状の擬似輪郭（ブロックノイズ）が発生する現象がある。

【0003】

この対策として、MPEG-4ビデオ規格のVerification Model 7.0では、復元画像に対するポスト処理としてデブロッキングフィルタを規定している。これに規定されたデブロッキングフィルタは、図3に示すように、ブロック境界を中心とした10個の画素値を入力してフィルタリング演算を行い、ブロック境界を中心とした8個の画素値を出力するものであり、ブロック境界近傍の画素値の変化度合（以下、アクティビティと記す）に応じてDCオフセットモード演算（

以下、Dモード演算と記す)とデフォルトモード演算という2種類の演算モードを切替えるようにしている。アクティビティを示す評価関数は式(1)に示す演算式を用いる。

【0004】

$$f = \phi \{g(0)-g(1)\} + \phi \{g(1)-g(2)\} + \phi \{g(2)-g(3)\} + \phi \{g(3)-g(4)\} \\ + \phi \{g(4)-g(5)\} + \phi \{g(5)-g(6)\} + \phi \{g(6)-g(7)\} \\ + \phi \{g(7)-g(8)\} + \phi \{g(8)-g(9)\}$$

ただし、

$$\begin{aligned} \text{if}(\text{abs}(x) \leq Th1) & \quad \phi(x) = 1; \\ \text{else} & \quad \phi(x) = 0; \end{aligned} \quad \dots (1)$$

【0005】

式(1)の演算式に示された評価関数 f は、ブロック境界を中心とする10個の画素値について、隣接する画素値間の差分絶対値としきい値 $Th1$ とを比較し、差分絶対値がしきい値 $Th1$ 以下の箇所がいくつ存在するかを示している。評価関数 f の値がしきい値 $Th2$ 以上の場合、すなわち、アクティビティが低い場合には、Dモード演算を選択し、逆に、評価関数 f の値がしきい値 $Th2$ より小さい場合、すなわち、アクティビティが高い場合には、デフォルトモード演算を選択する。

【0006】

Dモード演算は、デフォルトモード演算に比べ、より強い平滑化処理を行う。その演算式は式(2)であり、ブロック境界を中心とした8画素の中で画素値が最大のものと最小のものの差分絶対値が、量子化パラメータ QP の2倍より小さい場合は平滑化処理を行い、量子化パラメータ QP の2倍以上の場合は平滑化処理を行わず入力画素値をそのまま出力するというものである。

【0007】

$$\begin{aligned} MAX &= \max \{g(1), g(2), g(3), g(4), g(5), g(6), g(7), g(8)\}; \\ MIN &= \min \{g(1), g(2), g(3), g(4), g(5), g(6), g(7), g(8)\}; \\ \text{if}(\text{abs}(MAX-MIN) < 2*QP) \{ \\ & \quad \text{min\#padding} = \text{abs}(g(0)-g(1)) < QP ? g(0) : g(1); \end{aligned}$$

```

max#padding=abs(g(8)-g(9))<QP?g(9):g(8);
g'(n)=0;
for(i=-4;i<5;i++)
    g'(n)+=coef(i+4)*(n+i<1?min#padding:(n+i>8?max#padding:g(n+i)));
... (a)

g'(n)= (g'(n)+8) >> 4;
}
else
    g'(n)=g(n);
    (ただし、ここでcoef(9)={1,1,2,2,4,2,2,1,1}) ... (2)

```

【0 0 0 8】

式(2)中の(a)式を具体的に展開したものが式(3)であり、平滑化処理は処理対象画素を中心にした重み付け関数と入力画素列の積和演算で実施される。

【0 0 0 9】

```

g'(1)=min+ min+ 2*min+ 2*min+ 4*g(1) +2*g(2) +2*g(3) +g(4) +g(5);
g'(2)=min+ min+ 2*min+ 2*g(1)+ 4*g(2) +2*g(3) +2*g(4) +g(5) +g(6);
g'(3)=min+ min+ 2*g(1)+ 2*g(2)+ 4*g(3) +2*g(4) +2*g(5) +g(6) +g(7);
g'(4)=min+ g(1)+ 2*g(2)+ 2*g(3)+ 4*g(4) +2*g(5) +2*g(6) +g(7) +g(8);
g'(5)=g(1)+ g(2)+ 2*g(3)+ 2*g(4) +4*g(5) +2*g(6) +2*g(7) +g(8)+ max;
g'(6)=g(2)+ g(3)+ 2*g(4)+ 2*g(5) +4*g(6) +2*g(7) +2*g(8) +max+ max;
g'(7)=g(3)+ g(4)+ 2*g(5)+ 2*g(6) +4*g(7) +2*g(8) +2*max +max+ max;
g'(8)=g(4)+ g(5)+ 2*g(6)+ 2*g(7) +4*g(8) +2*max +2*max +max+ max;
min:min#padding ,max:max#padding
... (3)

```

【0 0 1 0】

一方、デフォルトモード演算の演算式は式(4)であり、ブロック境界の2画素に対してのみ平滑化処理を行い、その他の画素は処理を行わずに入力画素値を

そのまま出力する

【 0 0 1 1 】

```
max=(g(4)-g(5))/2;
```

```
d=nint(5*(act0'-act0)/8);
```

```
if((abs(act0) < QP) && (sign(max) == sign(d)))
```

```
    d=(abs(d) > abs(max)) ? max :d;
```

```
else
```

```
    d=0;
```

```
g'(4)=g(4)-d;
```

```
g'(5)=g(5)-d;
```

ただし、QPはg(5)が属するマクロブロックの量子化パラメータであり、

```
act0=nint((2*g(3)-5*g(4)+5*g(5)-2*g(6))/8);
```

```
act1=nint((2*g(1)-5*g(2)+5*g(3)-2*g(4))/8);
```

```
act2=nint((2*g(5)-5*g(6)+5*g(7)-2*g(8))/8);
```

```
act0'=sign(act0)*min(abs(act0), abs(act1), abs(act2));
```

である。g(1)～g(3)およびg(6)～g(8)に対しては演算を実施しない。… (4)

【 0 0 1 2 】

また、このデフォルトモード演算に代えて、より演算量の少ないTelenor's適応型フィルタ演算（以下、Tモード演算と記す）を使用することもある。Tモード演算の演算式は式（5）で示され、デフォルトモード演算と同様にブロック境界の2画素に対してのみ平滑化処理を行い、その他の画素は処理を行わずに入力画素値をそのまま出力する。ブロック境界の2画素に対しては、式（5）中の評価関数dの値が量子化パラメータQP/2以下の場合は入力画素値に評価関数dの値を加算もしくは減算する平滑化処理が実施され、量子化パラメータQP/2より大きい場合は入力画素値がそのまま出力される。

【 0 0 1 3 】

```
d= (g(3) -3*g(4) +3*g(5) -g(6)+4) >> 3;
```

```
g'(4)= abs(d) > (QP/2) ? g(4):g(4)+d;
```

```
g'(5)= abs(d) > (QP/2) ? g(5):g(5)-d;
```

$g(1) \sim g(3)$ および $g(6) \sim g(8)$ に対しては演算を実施しない。 … (5)

【0014】

以上のMPEG-4に規定されるデブロッキングフィルタ演算処理は、まず全ての水平エッジに沿って行われ、次に全ての垂直エッジに沿って行われる。

【0015】

以上の演算は、プロセッサ内の汎用演算器でソフトウェア処理されるか、あるいは、デブロッキングフィルタ演算の一部を専用ハードウェア化し、それ以外の演算はプロセッサ内の汎用演算器でソフトウェア処理される。

【0016】

図4は、式(2)に示したDモード演算式中の(a)式を専用ハードウェア化したブロック図を示している。図4において、100は0から7までの処理サイクルのカウントを行うカウンタ、101～108はフィルタリングの対象となる画素 n (n は1から8までの整数)に対応する演算ブロック、109は演算ブロック101～108の出力を選択する出力セクタである。

【0017】

演算ブロック101は、外部から入力されるデータである $max_padding$ 、 $min_padding$ 、入力画素値 $g(x)$ 、 $g(x+1)$ 、データ0のうちの少なくとも2つを入力とする第1および第2のセクタ $n11$ 、 $n12$ と、データ“8”および後述するレジスタ $n17$ の出力を入力とする第3のセクタ $n13$ と、第1および第2のセクタ $n11$ 、 $n12$ の出力をそれぞれシフトさせる第1および第2のシフタ $n14$ 、 $n15$ と、これら第1および第2のシフタ $n14$ 、 $n15$ の出力と第3のセクタ $n13$ の出力とを加算する加算器 $n16$ と、加算器 $n16$ の出力を保持するレジスタ $n17$ と、レジスタ $n17$ の出力をシフトする第3のシフタ $n18$ とを備えている。

【0018】

演算ブロック102～108も、演算ブロック101と同様の構成を有しており、それぞれ第1のセクタ $n21$ 、 $n31$ 、 $n41$ 、 $n51$ 、 $n61$ 、 $n71$ 、 $n81$ と、第2のセクタ $n22$ 、 $n32$ 、 $n42$ 、 $n52$ 、 $n62$ 、 $n72$ 、 $n82$ と、第3のセクタ $n23$ 、 $n33$ 、 $n43$ 、 $n53$ 、 $n63$ 、 $n73$

、 n_{83} と、第1のシフタ n_{24} 、 n_{34} 、 n_{44} 、 n_{54} 、 n_{64} 、 n_{74} 、 n_{84} と、第2のシフタ n_{25} 、 n_{35} 、 n_{45} 、 n_{55} 、 n_{65} 、 n_{75} 、 n_{85} と、加算器 n_{26} 、 n_{36} 、 n_{46} 、 n_{56} 、 n_{66} 、 n_{76} 、 n_{86} と、レジスタ n_{27} 、 n_{37} 、 n_{47} 、 n_{57} 、 n_{67} 、 n_{77} 、 n_{87} と、第3のシフタ n_{28} 、 n_{38} 、 n_{48} 、 n_{58} 、 n_{68} 、 n_{78} 、 n_{88} とを備えている。

【0019】

【発明が解決しようとする課題】

従来のデブロッキングフィルタ演算の処理においては、ソフトウェアによる処理を行うため、多くの演算サイクル数を必要とし、処理が遅いという問題があった。また、処理を高速化させるために、上記従来技術のように演算の一部を専用ハードウェア化した場合には、プロセッサと専用ハードウェアを必要とするために、コストアップを招くという問題があった。

【0020】

本発明は、上記事情に鑑みてなされたもので、デブロッキングフィルタ演算の処理全体を少ないサイクル数で処理することができるハードウェア構成を実現することにより、ソフトウェア処理を不要にし、プロセッサを用いずに小規模な回路構成で実現できるデブロッキングフィルタ演算装置を提供することを目的とする。

【0021】

【課題を解決するための手段】

本発明の請求項1に記載のデブロッキングフィルタ演算装置は、MPEG-4に規定されるデブロッキングフィルタのDモード演算を行うDモード演算回路（1～16）と、Tモード演算を行うTモード演算回路と（17～23）、ブロック境界近傍の画素値の変化度合いに応じて前記Dモード演算又は前記Tモード演算を行うかを適応的に判定する演算モード判定回路（24～27）と、前記演算モード判定回路の出力により前記Dモード演算回路および前記Tモード演算回路の何れか一方の出力を選択して出力するセレクタ（28）と、を備え、前記Dモード演算回路、前記Tモード演算回路および前記演算モード判定回路が、順次入

力される画素値の入力タイミングに同期して並列に動作することを特徴とする。

【 0 0 2 2 】

本発明の請求項 2 に記載のデブロッキングフィルタ演算装置は、請求項 1 に記載の発明において、前記演算モード判定回路が、前記 D モード演算回路および前記 T モード演算回路の処理より時系列的に先行して処理を実行し前記 D モード演算回路および前記 T モード演算回路から適応する演算回路を判別し、適応しない演算回路には、入力画素値に代えて固定値を入力することを特徴とする。

【 0 0 2 3 】

本発明の請求項 3 に記載のデブロッキングフィルタ演算装置は、前記 D モード演算回路が、入力画素値をシフトするシフトレジスタ群 (1) と、前記シフトレジスタ群において隣接するレジスタ間の差分絶対値を求める第 1 の差分絶対値演算回路 (2) と、前記第 1 の差分絶対値演算回路の出力と第 1 のしきい値との大小を比較する第 1 のコンパレータ (3) と、前記第 1 のコンパレータの出力に応じて前記シフトレジスタ群における特定のレジスタ出力を選択する第 1 のセレクタ (4) と、演算開始後のサイクル数をカウントするシーケンスカウンタ (5) と、前記シーケンスカウンタが示す特定のサイクルにおいて前記第 1 のセレクタの出力を保持する第 1 および第 2 のレジスタ (6、7) と、前記シーケンスカウンタが示すサイクルに応じて前記シフトレジスタ群中の特定のレジスタ出力と前記第 1 および第 2 のレジスタ出力とを切替えるセレクタ群 (8) と、前記セレクタ群の出力を左シフトする第 1 のシフタ群 (9) と、前記セレクタ群の出力と前記第 1 のシフタ群の出力とを加算する第 1 の加算器群 (10) と、前記第 1 の加算器群の出力を右シフトする第 1 のシフタ (11) と、前記シーケンスカウンタが示す特定のサイクル期間中における前記シフトレジスタ群中の特定のレジスタ出力の最大値および最小値を保持する第 3 および第 4 のレジスタ (12、13) と、前記第 3 および第 4 のレジスタの差分絶対値を求める第 2 の差分絶対値演算回路 (14) と、前記第 2 の差分絶対値演算回路の出力と第 2 のしきい値との大小を比較する第 2 のコンパレータ (15) と、前記第 2 のコンパレータの出力に応じて前記シフトレジスタ群中の特定のレジスタ出力と前記第 1 のシフタの出力とを切替える第 2 のセレクタ (16) と、を有し、前記 T モード演算回路が、前

記シフトレジスタ群中の特定のレジスタ出力を左シフトする第2のシフタ群（17）と、前記シフトレジスタ群中の特定のレジスタ出力と前記第2のシフタ群の出力とを加算する第2の加算器群（18）と、前記第2の加算器群の出力を右シフトする第2のシフタ（19）と、前記第2のシフタの出力と前記シフトレジスタ群中の特定のレジスタ出力とを加算する加算器（20）と、前記第2のシフタの出力と前記シフトレジスタ群中の特定のレジスタ出力とを減算する減算器（21）と、前記第2のシフタの出力の絶対値と第3のしきい値との大小を比較する第3のコンパレータ（22）と、前記第3のコンパレータの出力に応じて前記シフトレジスタ群中の特定のレジスタ出力、前記加算器の出力および前記減算器の出力を切替える第3のセレクタ（23）と、を有し、前記演算モード判定回路が、前記シフトレジスタ群中において隣接するレジスタ間の差分絶対値を求める第3の差分絶対値演算回路（24）と、前記第3の差分絶対値演算回路の出力と第4のしきい値との大小を比較する第4のコンパレータ（25）と、前記第4のコンパレータの出力を累積加算するカウンタ（26）と、前記カウンタの出力と第5のしきい値との大小を比較する第5のコンパレータ（27）と、を有し、前記演算モード判定回路の出力に応じて前記Dモード演算回路の出力と前記Tモード演算回路の出力とを切替えて出力する第4のセレクタ（28）と、を含む。

【0024】

本発明の請求項4に記載のデブロッキングフィルタ演算処理方法は、MPEG-4に規定されるデブロッキングフィルタのDモード演算を行うステップと、Tモード演算を行うステップと、ブロック境界近傍の画素値の変化度合いに応じて前記Dモード演算又は前記Tモード演算を行うかを適応的に判定するステップと、前記演算モード判定回路の出力により前記Dモード演算回路および前記Tモード演算回路の何れか一方の出力を選択して出力するステップと、を有し、前記Dモード演算、前記Tモード演算および前記演算モード判定を、順次入力される画素値の入力タイミングに同期して並列に動作することを特徴とする。

【0025】

本発明の請求項5に記載のデブロッキングフィルタ演算処理方法は、請求項4に記載のデブロッキングフィルタ演算処理方法において、前記Dモード演算およ

び前記Tモード演算より時系列的に先行して、前記Dモード演算および前記Tモード演算から適応する演算を判別し、適応しない演算には、入力画素値に代えて固定値を入力するステップを有する。

【 0 0 2 6 】

請求項1、4に係わる発明によれば、順次入力される画素値を演算処理するDモード演算回路、Tモード演算回路、演算モード判定回路が、画素値の入力タイミングに同期して並列に動作することにより、すべての演算が最大の処理サイクル数を有する演算回路の処理サイクル数以内で完了するように構成することができ、プロセッサの汎用演算器を用いたソフトウェア処理を不要とし、処理サイクル数が少なく高速なデブロッキングフィルタ演算を行うことができる。

【 0 0 2 7 】

請求項2、5に係わる発明によれば、Dモード演算およびTモード演算の実行に先立って演算モード判定の演算を行うことにより、適応する演算を事前に判別し、適応しない演算に対する入力画素値を固定値とすることができ、演算量の削減を図り消費電力を低減することができる。

【 0 0 2 8 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の実施の形態に係わるデブロッキングフィルタ演算装置のブロック図である。

【 0 0 2 9 】

図1において、1はシフトレジスタ群、2はシフトレジスタ群1中において隣接する特定のレジスタ間の差分絶対値を求める第1の差分絶対値演算回路、3は第1の差分絶対値演算回路2の出力と量子化パラメータQP（第1のしきい値）との大小比較を行う第1のコンパレータ、4は第1のコンパレータ3の出力に応じて第1の差分絶対値演算回路2に入力する値の一方を選択する第1のセレクタ、5はシーケンスカウンタ、6および7は前記シーケンスカウンタ5のカウント値が示す特定のシーケンスサイクルにおいて第1のセレクタ4の出力を保持する第1および第2のレジスタである。

【 0 0 3 0 】

また、8はシフトレジスタ群1中の出力と第1および第2のレジスタ6、7の出力とをシーケンスカウンタ5の出力に応じて切替えるセクタ群、9はセクタ群8の出力を1ビットもしくは2ビット左シフトさせる第1のシフタ群、10はセクタ群8の出力および第1のシフタ群9の出力を加算する第1の2入力加算器群、11は第1の2入力加算器群10の出力を4ビット右シフトさせる第1のシフタである。

【0031】

また、12はシフトレジスタ群1中の特定のレジスタ出力の最大値を保持する第3のレジスタ、13はシフトレジスタ群1中の特定のレジスタ出力の最小値を保持する第4のレジスタ、14は第3のレジスタ出力と第4のレジスタ出力との差分絶対値を求める第2の差分絶対値演算回路、15は第2の差分絶対値演算回路14の出力と量子化パラメータ QP を2倍した数値（第2のしきい値）との大小比較を行う第2のコンパレータ、16は第2のコンパレータ15の結果に応じてシフトレジスタ群1中の特定のレジスタ出力と前記第1のシフタ11の出力とを切替える第2のセクタである。以上1～16の構成がDモード演算を行う演算ブロックである。

【0032】

また、図1において、17は第2のシフタ群、18はシフトレジスタ群1中の特定のレジスタ出力および第2のシフタ群17の出力を加算する第2の2入力加算器群、19は第2の2入力加算器群18の出力を3ビット右シフトする第2のシフタ、20はシフトレジスタ群1中の特定のレジスタ出力に第2のシフタ19の出力を加算する2入力加算器、21はシフトレジスタ群1中の特定のレジスタ出力から第2のシフタ19の出力を減算する2入力減算器、22は第2のシフタ19の出力と量子化パラメータ $QP/2$ （第3のしきい値）との大小比較を行う第3のコンパレータ、23は第3のコンパレータ22の出力に応じてシフトレジスタ群1中の特定のレジスタ出力と2入力加算器20の出力と2入力減算器21の出力とを切替える第3のセクタである。以上17～23の構成がTモード演算を行う演算ブロックである。

【0033】

また、図 1 において、24 はシフトレジスタ群 1 中において隣接する特定のレジスタ間の差分絶対値を求める第 3 の差分絶対値演算回路、25 は第 3 の差分絶対値演算回路 24 の出力としきい値 $Th1$ （第 4 のしきい値）との大小比較を行う第 4 のコンパレータ、26 は第 4 のコンパレータ 25 の出力を累積加算するカウンタ、27 はカウンタ 26 の出力としきい値 $Th2$ （第 5 のしきい値）との大小比較を行う第 5 のコンパレータ、28 は第 5 のコンパレータ 27 の出力に応じて第 2 のセレクタ 16 の出力と第 3 のセレクタ 23 の出力とを切替える第 4 のセレクタである。以上 24 ~ 28 の構成が、D モード演算を選択するか T モード演算を選択するかの判別を行う演算モード判定回路ブロックである。また、図 1 において、処理経路によって異なる演算サイクル数を調整するため、回路中に適宜タイミング調整用レジスタを設けている。

【0034】

以上のように構成された本実施の形態のデブロッキングフィルタ演算装置について、以下、図 2 のタイミング図を参照して動作を説明する。以下の説明では、縦方向のブロック境界に対する処理を説明するが、横方向のブロック境界に対する処理も画素値の入力順序を変えることにより同様に行うことができる。

【0035】

ブロック境界を中心とした 10 個の画素値を左側から順に、 $a(0)$ 、 $a(1)$ 、 $a(2)$ 、 $a(3)$ 、 $a(4)$ 、 $a(5)$ 、 $a(6)$ 、 $a(7)$ 、 $a(8)$ 、 $a(9)$ とし、次のラインのブロック境界を中心とした 10 個の画素値を左側から順に $b(0)$ 、 $b(1)$ 、 $b(2)$ 、 $b(3)$ 、 $b(4)$ 、 $b(5)$ 、 $b(6)$ 、 $b(7)$ 、 $b(8)$ 、 $b(9)$ とする。1 サイクルに 1 個の割合で $a(0)$ 、 $a(1)$ 、 $a(2)$ の順に画素値データをシフトレジスタ群 1 に入力する。 $a(0)$ を入力したサイクルを 0 サイクル目とすると、 $a(0)$ は 1 サイクル目にはシフトレジスタ群 1 中の 1 段目のレジスタ出力となり、2 サイクル目には 2 段目のレジスタ出力となる。

【0036】

シフトレジスタ群 1 中の 6 段目のレジスタ出力が $a(1)$ 、7 段目のレジスタ出力が $a(0)$ となる 7 サイクル目に、第 1 の差分絶対値演算回路 2 により $a($

0) と $a(1)$ の差分絶対値を求め、次のサイクルで第1のコンパレータ3により第1の差分絶対値演算回路2の出力と量子化パラメータ Q_P との大小比較を行う。大小比較の結果、第1の差分絶対値演算回路2の出力が量子化パラメータ Q_P より小さい場合、第1のセクタ4はシフトレジスタ群1中の8段目のレジスタ出力である $a(0)$ を選択し、第1の差分絶対値演算回路2の出力が量子化パラメータ Q_P 以上の場合は、シフトレジスタ群1中の7段目のレジスタ出力である $a(1)$ を選択する。第1のレジスタ6は第1のセクタ4の出力を保持する。第1のレジスタ6に保持される値が式(2)の $\min_padding$ の値である。

【0037】

同様に、シフトレジスタ群1中の6段目のレジスタ出力が $a(9)$ 、7段目のレジスタ出力が $a(8)$ となる15サイクル目においても、第1の差分絶対値演算回路2により $a(8)$ と $a(9)$ の差分絶対値を求め、次のサイクルに第1のコンパレータ3で量子化パラメータ Q_P との大小比較を行う。大小比較の結果、第1の差分絶対値演算回路2の出力が量子化パラメータ Q_P より小さい場合、第1のセクタ4は7段目のレジスタ出力の $a(9)$ を選択し、第1の差分絶対値演算回路2の出力が量子化パラメータ Q_P 以上の場合は、8段目のレジスタ出力の $a(8)$ を選択する。第2のレジスタ7は第1のセクタ4の出力を保持する。第2のレジスタ7に保持される値が式(2)の $\max_padding_n$ 値である。

【0038】

13サイクル目以降、シフトレジスタ群1中の8～16段目のレジスタ出力と $\min_padding$ 値と $\max_padding$ 値を用いて平滑化処理を行う。セクタ群8中の各セクタは、13サイクル目から20サイクル目までの期間、以下のように動作する。セクタ1は、13から16サイクル目の期間はシフトレジスタ群1中の8段目のレジスタを出力し、17から20サイクル目の期間は $\max_padding$ 値を出力する。セクタ2は、13から17サイクル目の期間はシフトレジスタ群1中の9段目のレジスタを出力し、18から20サイクル目の期間は $\max_padding$ 値を出力する。セクタ3は、1

3 から 1 8 サイクル目の期間はシフトレジスタ群 1 中の 1 0 段目のレジスタを出力し、1 9 から 2 0 サイクル目の期間は `max_padding` 値を出力する。セクタ 4 は、1 3 から 1 9 サイクル目の期間はシフトレジスタ群 1 中の 1 1 段目のレジスタを出力し、2 0 サイクル目は `max_padding` 値を出力する。

セクタ 5 は、1 3 サイクル目は `min_padding` 値を出力し、1 4 から 2 0 サイクル目の期間はシフトレジスタ群 1 中の 1 3 段目のレジスタを出力する。セクタ 6 は、1 3 から 1 4 サイクル目の期間は `min_padding` 値を出力し、1 5 から 2 0 サイクル目の期間はシフトレジスタ群 1 中の 1 4 段目のレジスタを出力する。セクタ 7 は、1 3 から 1 5 サイクル目の期間は `min_padding` 値を出力し、1 6 から 2 0 サイクル目の期間はシフトレジスタ群 1 中の 1 5 段目のレジスタを出力する。セクタ 8 は、1 3 から 1 6 サイクル目の期間は `min_padding` 値を出力し、1 7 から 2 0 サイクル目の期間はシフトレジスタ群 1 中の 1 6 段目のレジスタを出力する。

【 0 0 3 9 】

次に、第 1 のシフタ群 9 で、セクタ群 8 中のセクタ 3 から 6 までの出力を 1 ビット左シフトさせ、シフトレジスタ群 1 中の 1 2 段目のレジスタ出力を 2 ビット左シフトさせる。更に、第 1 の 2 入力加算器群 1 0 で、セクタ群 8 中のセクタ 1、2、7、8 の出力と第 1 のシフタ群 9 中の各シフタ出力の総和を求め、さらに定数 “8” を加算し、最後に、第 2 のシフタ 1 1 で 4 ビット右シフトし平滑化処理後の画素値を得る。

【 0 0 4 0 】

D モード演算の出力として、以上の処理により得られた平滑化処理後の画素値を出力するか、入力画素値をそのまま出力するかは、以下の演算により判別する。

【 0 0 4 1 】

シフトレジスタ群 1 中の 2 段目のシフトレジスタ出力を 3 サイクル目から 1 0 サイクル目にかけて逐次比較することにより、入力画素値 $a(1) \sim a(8)$ 中の最大値および最小値を第 3 のレジスタ 1 2 および第 4 のレジスタ 1 3 に保持す

る。12サイクル目に第2の差分絶対値演算回路14は、第3のレジスタ12および第4のレジスタ13に保持された値の差分絶対値を求め、13サイクル目に第2のコンパレータ15で量子化パラメータ $Q P$ を2倍した値と比較する。比較した結果、第2の差分絶対値演算回路14の出力が量子化パラメータ $Q P$ の2倍より小さい場合、第2のセレクタ16は、第1のシフタ11の出力である平滑化処理後の画素値を選択し、第2の差分絶対値演算回路14の出力が量子化パラメータ $Q P$ の2倍以上の場合は、シフトレジスタ群1中の14段目のレジスタ出力である入力画素値を選択する。

以上の演算により、Dモード演算の出力を得る。

【0042】

次に、Tモード演算回路の動作を説明する。15サイクル目において、第2のシフタ群17はシフトレジスタ群1中の10段目および11段目のシフトレジスタ出力を1ビット左シフトさせ、更に、第2の2入力加算器群18と第2のシフタ19は、第2のシフタ群17の出力とシフトレジスタ群1中の9段目および12段目のシフトレジスタ出力を用いて、式(5)中の d 値を算出する。16サイクル目において、2入力加算器20は、シフトレジスタ群1中の12段目のシフトレジスタ出力である $a(4)$ と第2のシフタ19の出力である式(5)中の d 値を加算し、17サイクル目において、2入力減算器21は、シフトレジスタ群1中の12段目のシフトレジスタ出力である $a(5)$ と第2のシフタ19の出力である式(5)中の d 値を減算することにより、それぞれ平滑化処理後の画素値を得る。

【0043】

Tモード演算の出力として、以上の処理により得られた平滑化処理後の画素値を出力するか、入力画素値をそのまま出力するかは、以下の演算により判別する。

第3のコンパレータ22は、第2のシフタ19の出力である式(5)中の d 値の絶対値と量子化パラメータ $Q P / 2$ との大小比較を行い、式(5)中の d 値の絶対値が量子化パラメータ $Q P / 2$ 以下の場合、第3のセレクタ23は、2入力加算器20または2入力減算器21の出力である平滑化処理後の画素値を選択し

、式（５）中の d 値の絶対値が量子化パラメータ $QP/2$ より大きい場合は、シフトレジスタ群 1 中の 1 2 段目のレジスタ出力である入力画素値を選択する。

以上の演算により、Tモード演算の出力を得る。

【0044】

次に、Dモード演算あるいはTモード演算のどちらの演算処理を選択するかを判定する演算モード判定回路の動作について説明する。

第3の差分絶対値演算回路24は、シフトレジスタ群1中の1段目のレジスタ出力と2段目のレジスタ出力との差分絶対値を求める。これにより、シフトレジスタ群1中の1段目のレジスタ出力が $a(1)$ で2段目のレジスタ出力が $a(0)$ となる2サイクル目においては、 $(a(0) - a(1))$ の絶対値が算出され、シフトレジスタ群1中の1段目のレジスタ出力が $a(2)$ で2段目のレジスタ出力が $a(1)$ となる3サイクル目においては、 $(a(1) - a(2))$ の絶対値が算出され、以降同様に各サイクル毎に隣接する入力画素値間の差分絶対値が算出される。

【0045】

第4のコンパレータ25は、第3の差分絶対値回路24の出力としきい値 $Th1$ との大小を比較し、第3の差分絶対値回路24の出力がしきい値 $Th1$ 以下の場合には1を出力し、第3の差分絶対値回路24の出力がしきい値 $Th1$ より大きい場合は0を出力する。カウンタ26は、2サイクル目から10サイクル目までの間、第4のコンパレータ25の出力を累積加算することにより、式（1）に示した f の値を求める。第5のコンパレータ27はカウンタ26の出力としきい値 $Th2$ との大小を比較し、カウンタ26の出力がしきい値 $Th2$ 以上の場合、第4のセレクタ28は第2のセレクタ16の出力を選択し、カウンタ26の出力がしきい値 $Th2$ より小さい場合は、第3のセレクタ23の出力を選択し、出力する。

【0046】

これにより、隣接する画素値間の変化が緩やかでブロックノイズが現れ易いパターンの画素値がフィルタに入力された場合は、Dモード演算を選択して強い平滑化処理を実施し、逆に、隣接する画素値間の変化が激しくブロックノイズが現

れにくいパターンの画素値が入力された場合は、Tモード演算を選択して、平滑化処理の演算量を削減する。

【0047】

以上のように本発明の実施の形態は、MPEG-4に規定されるデブロッキングフィルタのDモード演算と、Tモード演算と、適応するフィルタの判別演算を完全にハードウェアで実現したことを特徴とするデブロッキングフィルタ演算装置であって、ソフトウェア的な処理を不要にするとともに、順次入力される画素値の入力タイミングに同期して各演算を並列に実行することにより、高速なフィルタリング演算処理を行うことができるものである。

【0048】

また、請求項2に記載の発明は、請求項1に記載のデブロッキングフィルタ演算装置において、Tモード演算を適応すると判別した場合にセレクタ群8の出力をmax_padding値およびmin_padding値にすることにより、第1のシフタ群9および第1の2入力加算器群10における信号変化を抑制することにより、請求項1に記載のデブロッキングフィルタ演算装置から更に消費電力を低減することを可能とするものである。

【0049】

【発明の効果】

以上のように本発明によれば、MPEG-4に規定されるデブロッキングフィルタのDモード演算を行う回路と、Tモード演算を行う回路と、それらの回路のどちらを適応するかを判別する回路とを並列かつ効率的に処理するハードウェアを実現することにより、プロセッサの汎用演算器を用いたソフトウェア処理を不要にし、高速なフィルタリング演算処理を行うことができるという有利な効果が得られる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係わるデブロッキングフィルタ演算装置のブロック図。

【図2】 本発明の実施の形態に係わるデブロッキングフィルタ演算装置のタイミング図。

【図 3】 M P E G - 4 に規定されるデブロッキングフィルタに入力される画素位置を示す図。

【図 4】 従来の D モード演算の一部を行う演算装置のブロック図。

【符号の説明】

- 1 シフトレジスタ群
- 2 第 1 の差分絶対値演算回路
- 3 第 1 のコンパレータ
- 4 第 1 のセレクタ
- 5 シーケンスカウンタ
- 6 第 1 のレジスタ
- 7 第 2 のレジスタ
- 8 セレクタ群
- 9 第 1 のシフタ群
- 1 0 第 1 の 2 入力加算器群
- 1 1 第 1 のシフタ
- 1 2 第 3 のレジスタ
- 1 3 第 4 のレジスタ
- 1 4 第 2 の差分絶対値演算回路
- 1 5 第 2 のコンパレータ
- 1 6 第 2 のセレクタ
- 1 7 第 2 のシフタ群
- 1 8 第 2 の 2 入力加算器群
- 1 9 第 2 のシフタ
- 2 0 2 入力加算器
- 2 1 2 入力減算器
- 2 2 第 3 のコンパレータ
- 2 3 第 3 のセレクタ
- 2 4 第 3 の差分絶対値演算回路
- 2 5 第 4 のコンパレータ

2 6 カウンタ

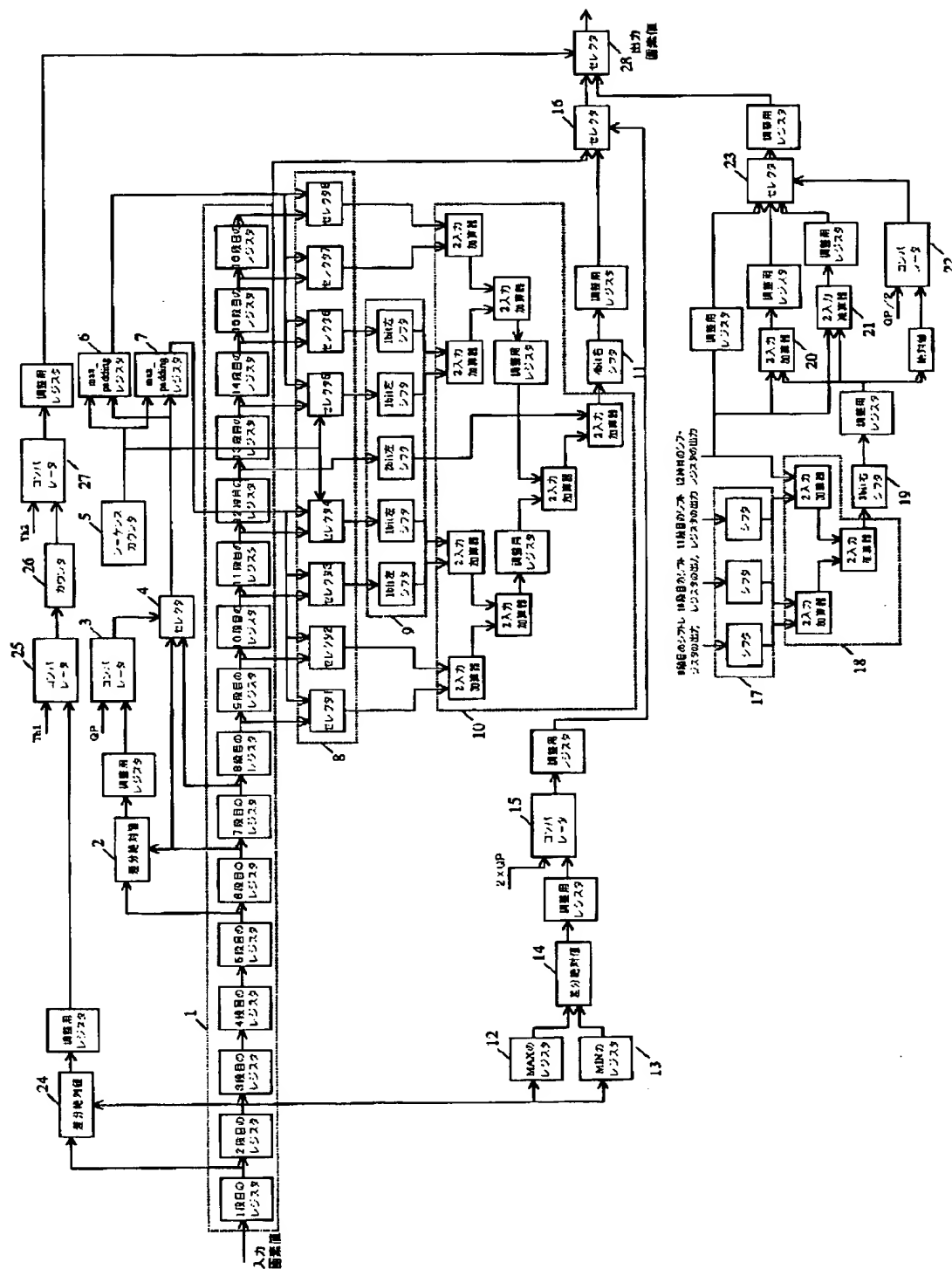
2 7 第 5 のコンパレータ

2 8 第 4 のセレクタ

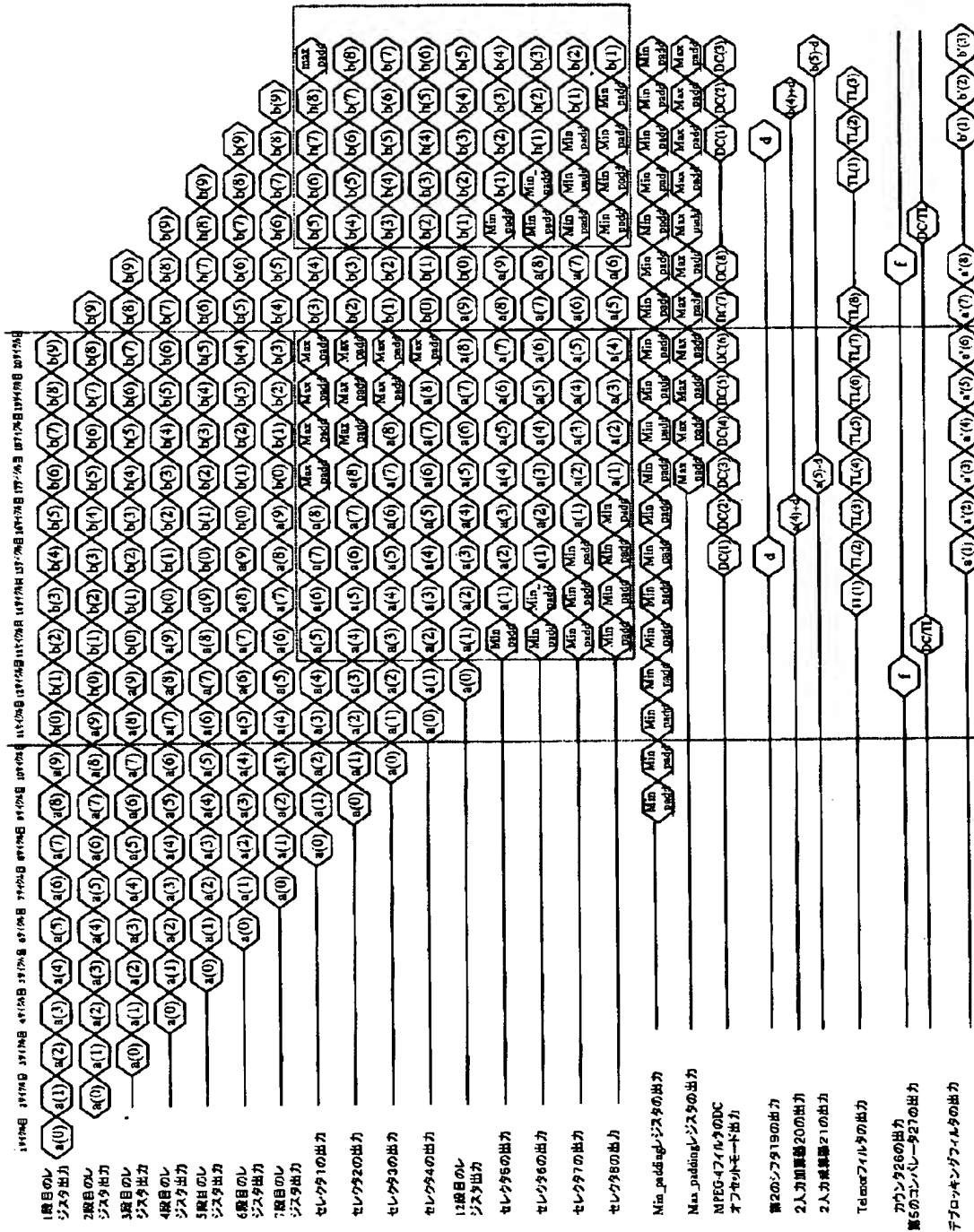
【書類名】

図面

【図 1】



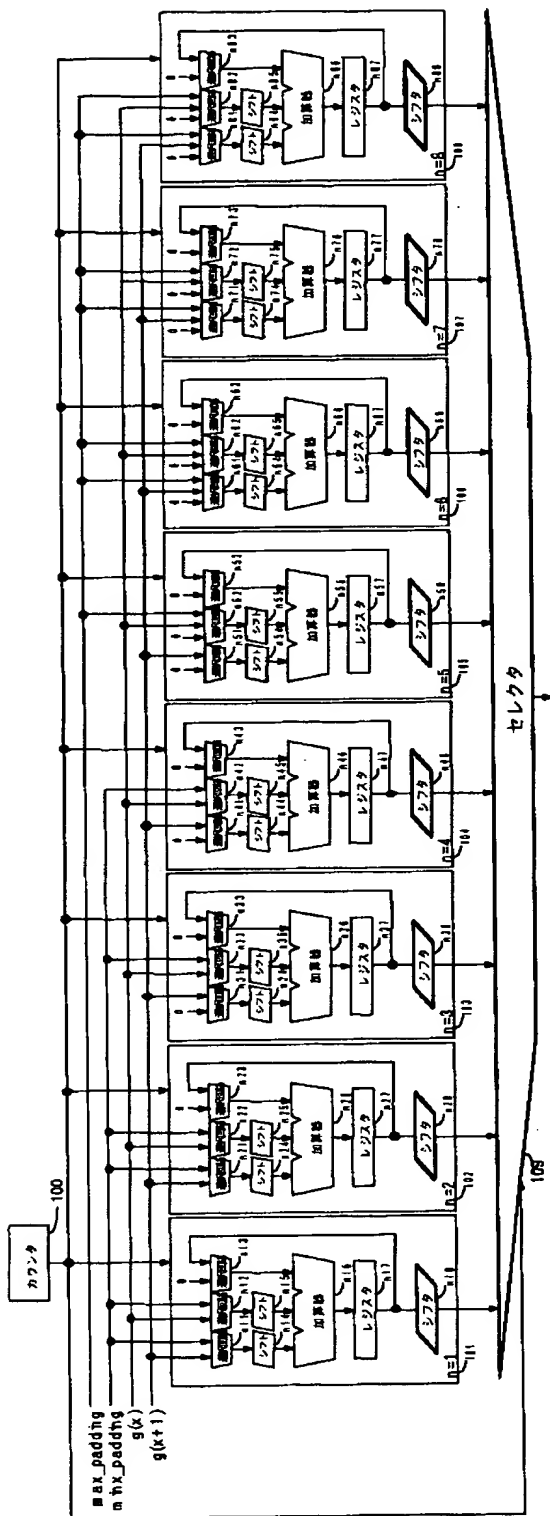
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 M P E G - 4 に規定されるデブロッキングフィルタの演算全体を少ないサイクル数で高速に実行する。

【解決手段】 M P E G - 4 に規定されるデブロッキングフィルタのDモード演算回路1～16と、Tモード演算回路17～23と、Dモード演算回路またはTモード演算回路のどちらの演算処理を行うかを判定する演算モード判定回路24～27と、演算モード判定回路の結果に応じてDモード演算回路の出力とTモード演算回路の出力とを切替えるセレクタ28とを備える。さらに、Dモード演算回路およびTモード演算回路の演算処理に先立って演算モード判定回路の演算処理を行い、適応しない演算回路には入力画素値の代わりに固定値を入力することにより低消費電力化を図る。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社